

Programowanie w elektronice: Wprowadzenie do elektroniki

Projekt „Matematyka dla Ciekawych Świata”,

Robert Ryszard Paciorek

<rrp@opcode.eu.org>

2019-07-15

Elektronika zajmuje się wytwarzaniem i przetwarzaniem sygnałów w postaci prądów i napięć elektrycznych. Zjawisko prądu związane jest z przepływem ładunku (z uporządkowanym ruchem nośników ładunku), aby wystąpiło konieczna jest różnica potencjałów (napięcie) pomiędzy końcami przewodnika, prowadzi ono do neutralizacji tej różnicy. Dlatego dla podtrzymania stałej różnicy potencjałów konieczne jest istnienie źródeł prądu, prowadzących do rozdzielania ładunków dodatnich od ujemnych.

1 Podstawowe pojęcia

1.1 Napięcie elektryczne

Napięcie elektryczne U pomiędzy punktem A i B (jakiegoś obwodu) jest to różnica potencjału elektrycznego w punkcie A i w punkcie B.

1.2 Potencjał elektryczny

Potencjał elektryczny V w punkcie A jest skalarną wielkością charakteryzującą pole elektryczne w danym punkcie. Odpowiada pracy którą trzeba by wykonać aby przenieść ładunek q z tego punktu do nieskończoności podzielonej przez wielkość tego ładunku (jest niezależny od wartości q). W elektronice używa się wartości potencjałów względem umownego potencjału zerowego GND (co umożliwia traktowanie ich jako różnic potencjałów - napięć elektrycznych), w efekcie tego określenia "(stałe) napięcie" i "potencjał" bardzo często stosowane są zamiennie.

1.3 Masa

Masa (oznaczana jako GND) jest to umowny potencjał zerowy, względem którego wyraża się inne potencjały w układzie (co umożliwia traktowanie ich jako różnic potencjałów - napięć elektrycznych). Potencjał ten może być równy potencjałowi ziemi (masie ochronnej PE), bądź może być z nim nie związany (układy izolowane).

1.4 Natężenie prądu

Natężenie prądu elektrycznego I (określane skrótowo jako prąd) jest to stosunek przemieszczonego ładunku do czasu jego przepływu.

1.5 Napięcie i prąd

Dla elementów liniowych (np. zwykły kawałek przewodu) zachodzi proporcjonalność natężenia prądu płynącego przez taki element do napięcia pomiędzy jego końcami: $R = \frac{U}{I}$. Stosunek ten nazywamy oporem (rezystancją).

2 Prawa Kirchhoffa

Węzeł układu (sam w sobie, pomijając zjawiska pasożytnicze) nie jest w stanie gromadzić ładunku elektrycznego zatem: *Suma prądów wpływających do węzła jest równa sumie prądów wypływających z tego węzła.*

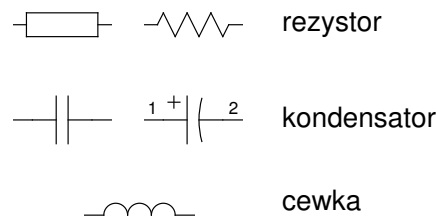
Jeżeli rozważamy obwód zamknięty od punktu A z potencjałem V_A to sumując napięcia na kolejnych elementach obwodu (oporach, źródłach napięciowych, etc) z uwzględnieniem ich znaku gdy wrócimy do punktu A to potencjał nadal musi wynosić V_A , zatem: *Suma spadków napięć w zamkniętym obwodzie jest równa zeru.*

3 Elementy bierne

3.1 Rezystor

Rezystor (opornik) wprowadza do układu rezystancję związaną z swoją wartością nominalną. Typowo służy do ograniczania wartości prądu przez niego przepływającego.

Powoduje wydzielanie się energii (cieplnej) związanej z stratami na rezystancji - moc wydzielana dana jest zależnościami: $P = UI = \frac{U^2}{R} = I^2 R$, czyli przy stałym napięciu przyłożonym do rezystora im większy jego opór tym mniejsza moc się wydzieli (gdyż popłynie mniejszy prąd), ale przy stałym prądzie płynącym przez rezystor moc rośnie wraz ze wzrostem oporu.



3.2 Kondensator

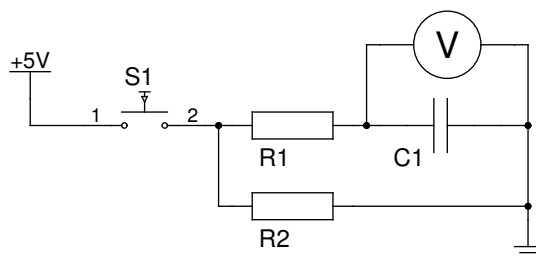
Kondensator wprowadza do układu pojemność związaną z swoją wartością nominalną.

Pojemność wyraża zdolność do gromadzenia ładunku przez dany element - im większa pojemność tym więcej ładunku (przy takim samym przyłożonym napięciu) zgromadzi element. $C = \frac{q}{U}$

Typowo służy do ograniczania zmian napięcia (poprzez gromadzenie energii w polu elektrycznym). Czas potrzebny do zmiany napięcia na kondensatorze dany jest zależnością: $\Delta T = \frac{C \cdot \Delta U}{I}$

Zadanie 3.2.1

Zbuduj układ przedstawiony na schemacie i zaobserwuj zmianę napięcia na kondensatorze w momencie załączenia, wyłączenia zasilania.



3.3 Cewka

Cewka (dławik) wprowadza do układu indukcyjność związaną z swoją wartością nominalną. Typowo służy do ograniczania zmian prądu (poprzez gromadzenie energii w polu magnetycznym). Czas potrzebny zmiany prądu płynącego przez cewkę (dławik stawia opór takiej zmianie tak jak kondensator zmianie napięcia) dany jest zależnością: $\Delta T = \frac{L \cdot \Delta I}{U}$

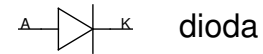
3.4 Dioda

Dioda idealna to element przewodzący prąd tylko w jednym kierunku. Rzeczywiste diody przewodzą prąd zdecydowanie chętniej w jednym kierunku niż w drugim (na ogół przewodzenie w kierunku zaporowym się pomija) ponadto charakteryzują je cechy zależne od technologii wykonania takie jak:

- spadek napięcia w kierunku przewodzenia (typowo dla diod krzemowych 0.6V - 0.7V, a dla diod Schottky'ego 0.3V)
- napięcie przebicia - napięcie, które przyłożone w kierunku zaporowym powoduje znaczące przewodzenie diody w tym kierunku - w większości przypadków parametr którego nie należy przekraczać, jednak wykorzystywane (i stanowiące ich parametr) w niektórych typach diod
- maksymalny prąd przewodzenia
- czas przełączania (związany głównie z pasożytniczą pojemnością złącza) - zdecydowanie krótszy (około 100 ps) w diodach Schottky'ego niż w diodach krzemowych,.

Ponadto stosowane są m.in.:

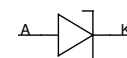
- diody Zenera - wykorzystuje się (charakterystyczną dla danego typu) wartość napięcia przebicia do uzyskania w układzie spadku napięcia o tej wartości,
- diody świecące (LED) - emitujące światło w trakcie przewodzenia (na elemencie występuje stały spadek napięcia, jasność zależy od natężenia prądu),
- fotodiody - będące detektorami oświetlenia (przewodzenie spolaryzowanej w kierunku zaporowym zależy od ilości padającego na element światła, niespolaryzowana pod wpływem oświetlenia staje się źródłem prądu).



dioda



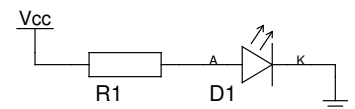
LED



dioda Zenera

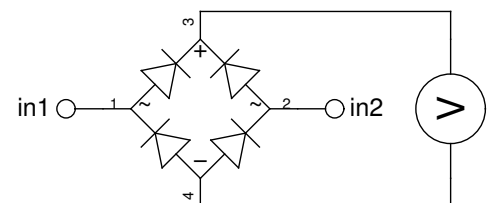
Zadanie 3.4.1

Zbuduj układ przedstawiony na schemacie i zaobserwować że dla różnych napięć wejściowych (z zakresu 5-13V) na diodzie świecącej występuje stały spadek napięcia. Zaobserwuj że zmianie ulega wartość prądu płynącego w takim obwodzie i że wynika ona z napięcia odłożonego na rezystorze i wartości jego rezystancji).



Zadanie 3.4.2

Zbuduj układ przedstawiony na schemacie (nazywany mostkiem Gretza) i zauważ że polaryzacja wyjścia (podłączonego do woltomierza) jest niezależna od polaryzacji wejścia (czyli od tego czy biegun dodatni będzie przyłączony do in1 czy in2, a ujemny odpowiednio in2 lub in1).



4 Tranzystory

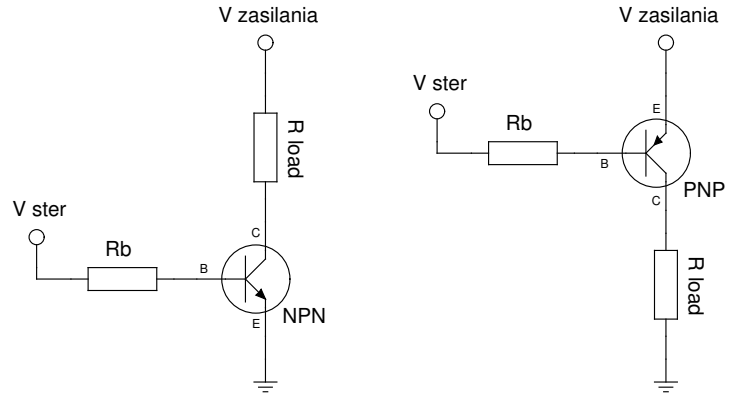
Tranzystor jest to element o regulowanym elektrycznie przewodzeniu prądu (oporze), często wykorzystywany do wzmacniania sygnałów lub jako przełącznik elektroniczny (klucz tranzystorowy). Klucz jest układem przełączającym wykorzystującym dwa skrajne stany pracy tranzystora - zatkania (tranzystor nie przewodzi), nasycenia (tranzystor przewodzi z minimalnymi ograniczeniami).

4.1 NPN

Prąd przepływający pomiędzy kolektorem a emitorem jest funkcją prądu przepływającego pomiędzy bazą a emitorem: $I_C = \beta I_B$. Napięcie pomiędzy kolektorem a emitorem wynosi: $U_{CE} = U_{zasilania} - I_C \cdot R_{load}$. Napięcie to nie może spaść poniżej wartości minimalnej wynoszącej około 0.2V, gdy z powyższych zależności wynikałby taki spadek to tranzystor pracuje w stanem nasycenia i $U_{CE} \approx 0.2V$.

Aby wprowadzić tranzystor NPN w stan zatkania należy podać na jego bazę potencjał mniejszy lub równy potencjałowi emitera (zakładamy że potencjał kolektora jest nie mniejszy niż emitera - co ma miejsce w typowych warunkach polaryzacji tranzystora NPN), czyli $U_{BE} \leq 0$.

Aby wprowadzić tranzystor NPN w stan nasycenia należy na jego bazę wprowadzić potencjał większy od potencjałów emitera i kolektora, uzyskuje się to poprzez wprowadzenie do tranzystora prądu bazy $I_B \gg \frac{U_{zasilania}}{\beta R_{load}}$.



4.2 PNP

Podobnie jak w NPN tyle że prąd przepływający pomiędzy emiterem a kolektorem jest funkcją prądu przepływającego pomiędzy emiterem a bazą.

Aby wprowadzić tranzystor PNP w stan zatkania należy podać na jego bazę potencjał większy lub równy potencjałowi emitera (zakładamy że potencjał emitera jest nie mniejszy niż kolektora - co ma miejsce w typowych warunkach polaryzacji tranzystora PNP), czyli $U_{BE} \geq 0$.

Aby wprowadzić tranzystor PNP w stan nasycenia należy na jego bazę wprowadzić potencjał mniejszy od potencjałów emitera i kolektora, uzyskuje się to poprzez wyprowadzenie z tranzystora prądu bazy $I_B \gg \frac{U_{zasilania}}{\beta R_{load}}$.

4.3 N-MOSFET

Prąd przepływający pomiędzy drenem (*drain*) a źródłem (*source*) jest funkcją napięcia pomiędzy bramką (*gate*) a źródłem (potencjału bramki względem źródła - U_{GS}), bramka jest izolowana (nie płynie przez nią prąd).

W kierunku dren \rightarrow źródło tranzystor ten przewodzi gdy $U_{GS} > U_{GS(th)}$, natomiast w przeciwnym kierunku przewodzi zawsze. Dla tranzystorów N-MOSFET z kanałem wzbogacającym (*enhancement*) $U_{GS(th)} > 0$, a z kanałem zubożającym (*depletion*) $U_{GS(th)} < 0$.

Konkretna wartość $U_{GS(th)}$ zależna jest od konkretnego modelu tranzystora, innym istotnym parametrem związanym z sterowaniem tranzystorem jest maksymalna i minimalna dopuszczalna wartość napięcia U_{GS} .

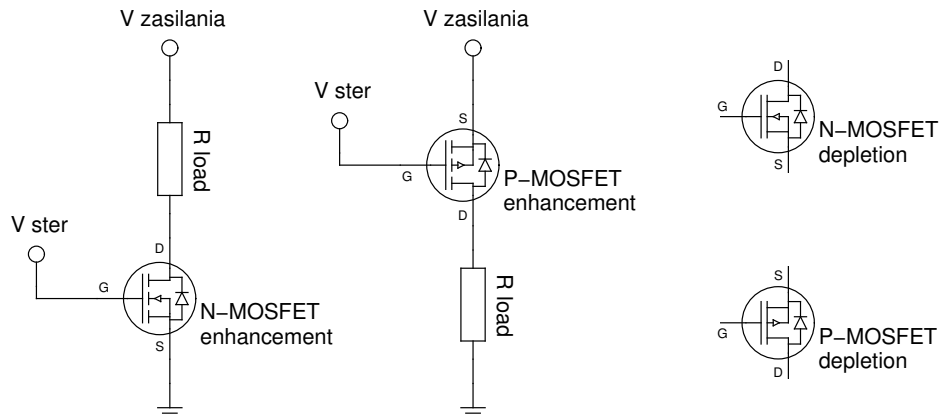
Aby wprowadzić tranzystor MOSFET w stan zatkania należy podać $U_{GS} < U_{GS(th)}$. Dla tranzystorów:

- N-MOSFET z kanałem wzbogacającym wystarczy obniżyć potencjał bramki do wartości niewiele wyższej niż potencjał źródła
- N-MOSFET z kanałem zubożającym musi to być wartość poniżej potencjału źródła.

Aby wprowadzić tranzystor MOSFET w stan przewodzenia należy podać $U_{GS} \gg U_{GS(th)}$.

4.4 P-MOSFET

Podobnie jak N-MOSFET tyle że:



- regulowane jest przewodzenie w kierunku źródło → dren (a w kierunku dren → źródło przewodzi zawsze),
- przewodzenie w kierunku źródło → dren ma miejsce gdy $U_{GS} < U_{GS(th)}$,
- dla tranzystorów z kanałem wzbogacanym (*enhancement*) $U_{GS(th)} < 0$, a z kanałem zubożonym (*depletion*) $U_{GS(th)} > 0$.

Aby wprowadzić tranzystor MOSFET w stan zatkania należy podać $U_{GS} < U_{GS(th)}$. Dla tranzystorów:

- P-MOSFET z kanałem zubożonym wystarczy obniżyć potencjał bramki do wartości niewiele wyższej niż potencjał źródła
- P-MOSFET z kanałem wzbogaconym musi to być wartość poniżej potencjału źródła.

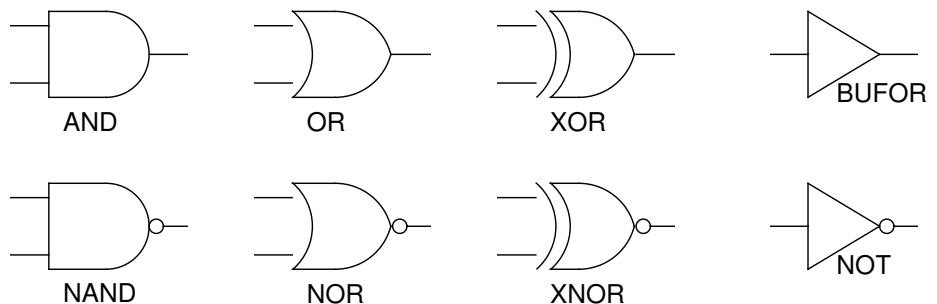
Aby wprowadzić tranzystor MOSFET w stan przewodzenia należy podać $U_{GS} \gg U_{GS(th)}$.

Zadanie 4.4.1

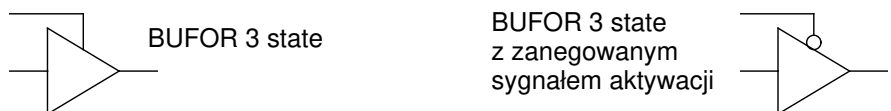
Narysuj schemat układu półmostka H z zastosowaniem tranzystorów bipolarnych (NPN i PNP) jako elementów przełączających.

5 Bramki

Bramki są układami elektronicznymi realizującymi podstawowe, opisane powyżej funkcje logiczne. Obok zostały przedstawione podstawowe symbole poszczególnych bramek w wariancie dwu wejściowym, spotkać się można także z symbolami z zanegowanymi wejściami - w takiej konwencji np. bramka AND reprezentowana jest przez NOR z zanegowanymi wejściami. Bramki (z wyjątkiem buforów oraz bramki NOT), mogą występować także w wariantach wielo-wejściowych (ze względu na łączność podstawowych operacji nie ma wątpliwości co do wyniku jaki powinna dawać np. 8 wejściowa bramka OR). Na ogół w pojedynczym układzie scalonym znajduje się kilka jednakowych bramek.



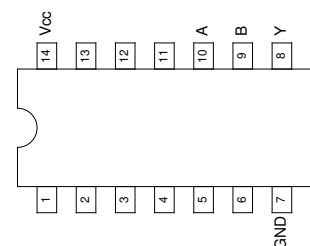
bramki (AND, OR, XOR, NAND, NOR, XNOR) mogą występować także w wariantach wielo-wejściowych



w wariantach 3 stanowych mogą występować także wszystkie pozostałe elementy

Zadanie 5.0.1

Otrzymałeś układ logiczny w obudowie DIP14, o układzie wyprowadzeń pokazanym na rysunku obok^a. Nóżki numer 10 i 9 są wejściami pewnej bramki logicznej, której wyjście jest na nóżce numer 8. Sporządź tabelę prawdy dla tej bramki i zidentyfikuj co to za bramka.



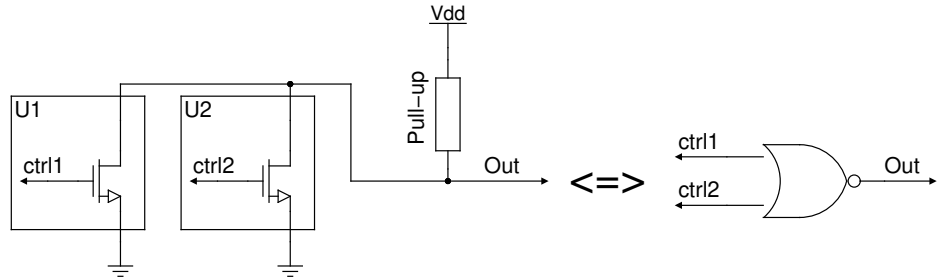
^a. Warto zauważyć że sposób numerowania pinów jest standardowy dla danego typu obudowy, natomiast funkcje poszczególnych pinów różnią się w zależności od danego układu i są opisywane w jego dokumentacji).

5.1 trój-stanowe

Typowa bramka wymusza (w sposób silny) na swoim wyjściu stan wysoki lub niski, co uniemożliwia bezpośrednie łączenie wyjść bramek. Bramki trój-stanowe mają możliwość skonfigurowania wyjścia w stan *wysokiej impedancji* czyli nie wymuszania żadnej jego wartości. Sterowanie załączeniem bądź wyłączeniem wyjścia (przełączeniem w stan wysokiej impedancji) odbywa się przy pomocy zewnętrznego sygnału sterującego "output enabled" ("OE"), sygnał ten może występować w postaci prostej i zanegowanej. Pozwala to na podłączanie do jednej linii wielu bramek i decydowaniu która z nich będzie nią sterować.

5.2 open collector / drain

Są kolejnym rodzajem bramek których wyjścia można podłączać do wspólnej linii. Układy te posiadają wyjście w postaci tranzystora zwierającego linię wyjściową do masy, z tego względu samodzielnie zapewniają jedynie stan niski wyjścia (są w stanie wymusić stan niski, ale nie mają możliwości wymuszenia stanu wysokiego).



Stan wysoki musi zostać zapewniony zewnętrznym rezystorem podciągającym. Pozwala to stosować na takiej linii inny poziom stanu wysokiego niż na wejściach takiej bramki oraz pozwala na sterowanie wspólną linią przez wiele bramek (czyli łączenie wyjść bramek, jednak w odróżnieniu od bramek trój-stanowych nie wymaga dodatkowych sygnałów sterujących).

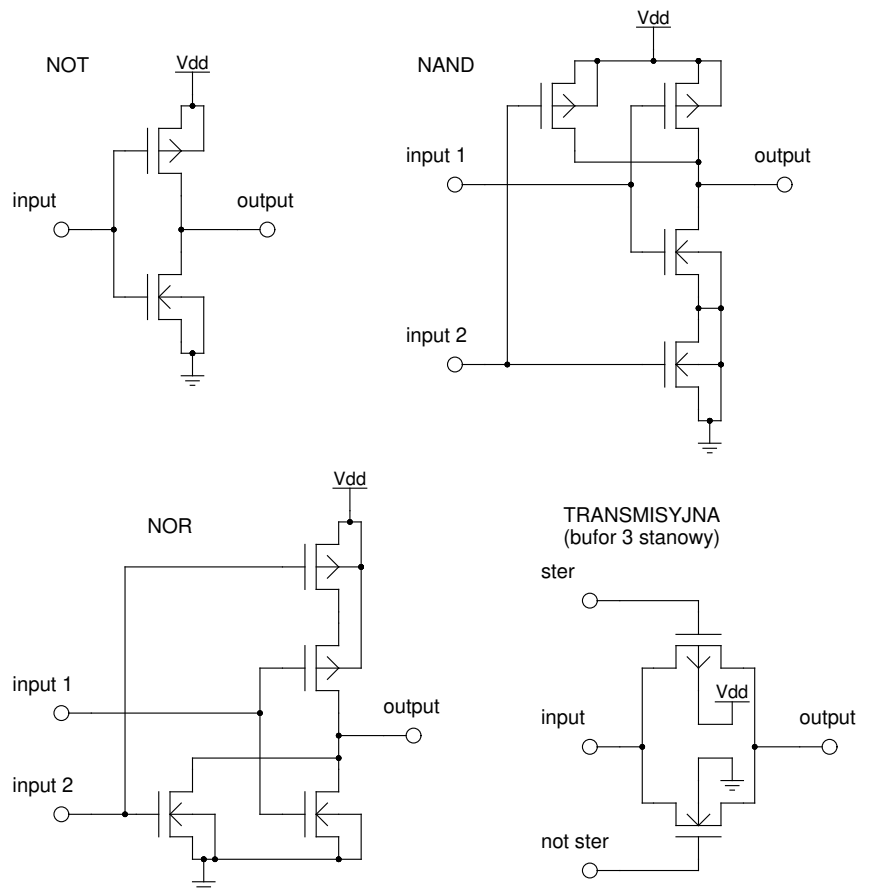
Na schemacie obok przedstawiono dwa układy (U1 i U2) typu open-drain sterujące wspólną linią wyjściową w układzie *suma na drucie*. Jeżeli jeden z podłączonych do linii układów będzie miał wewnętrzne wyjście ("ctrlX") w stanie wysokim to jego wyjście OC będzie zwarte do masy (negacja na tranzystorze N-MOS lub NPN), wtedy też cała linia będzie w stanie niskim.

5.3 budowa wewnętrzna

Przedstawiony powyżej układ sumy na drucie jest bardzo prostą (jedno tranzystorową) realizacją bramki logicznej realizującą funkcję logiczną NOT OR (z punktu widzenia wejść *ctrl1* i *ctrl2* oraz wyjścia *Out*). W podobny sposób można zrealizować bramkę AND (negując wejścia, np. przy pomocy jednego tranzystora). Jeszcze bardziej uproszczoną realizację można uzyskać stosując diody pozwalające na wpływanie prądu do węzła (funkcja OR) lub wypływanie z niego (funkcja AND).

Po prawej przedstawione zostały schematy ideowe inwertera, dwóch podstawowych bramek (NOR i NAND) oraz bramki transmisyjnej (bufora 3 stanowego) w technologii CMOS.

Działanie tych bramek (za wyjątkiem transmisyjnej) polega na otwieraniu tranzystorów podłączonych do napięcia które chcemy otrzymać na wyj-



ściu, a zamykaniu prowadzących do napięcia przeciwnego. W szczególności bramka NOT stanowi półmostek H pomiędzy stanem wysokim a stanem niskim.

Dzięki zastosowaniu tranzystorów PMOS polaryzowanych Vdd oraz NMOS polaryzowanych GND obie gałęzie operują na tym samym sygnale wejściowym (nie jest wymagana jego negacja). Szeregowe łączenie tranzystorów zapewnia że należy otworzyć oba aby otworzyć daną drogę, a równoległe że otwarcie danej drogi powodowane jest otwarciem pojedynczego tranzystora. Dzięki zastosowaniu technologii MOS i podłączaniu wejść bramki tylko do bramek tranzystorów wejścia praktycznie nie pobierają prądu (istotnym wyjątkiem jest chwila zmiany sygnału).

Działanie bramki transmisyjnej polega na przepuszczaniu lub nie (w zależności od stanu wejścia sterującego) sygnału z wejścia na wyjście. Bramka taka nie regeneruje sygnału. Ponadto w uproszczonym (jedno tranzystorowym) rozwiązaniu prowadzi ona do degradacji sygnału wartość w przybliżeniu równą napięciu progowemu tranzystora. Dlatego też na ogół występuje wraz z bramką NOT (bufor 3 stanowy z negacją) lub dwiema szeregowo połączonymi bramkami NOT (bufor 3 stanowy bez negacji).

Zadanie 5.3.1

Spróbuj zbudować własną bramkę logiczną w oparciu o tranzystory NPN i PNP. Pamiętaj że w odróżnieniu od pokazanych na powyższym schemacie tranzystorów NMOS i PMOS wymagane jest stosowanie rezystora na bramce.

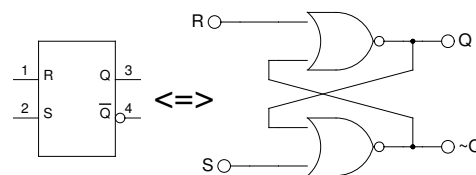
6 Przerzutniki i rejestry

6.1 przerzutniki i ich budowa

RS Flip-flop (RS Latch) jest podstawowym układem służącym do zapamiętania jednego bitu informacji. Posiada on dwa wejścia (set i reset) i dwa wyjścia (Q i NOT Q), wejścia mogą reagować na stan wysoki (oznaczane jako S i R) lub niski (oznaczane jako wejścia zanegowane \bar{S} i \bar{R}), jedno z wyjść może być jedynie wewnętrzne (nie wyprowadzone na zewnątrz układu). Podanie stanu wysokiego na wejście S (niskiego na \bar{S}) powoduje wystawienie stanu wysokiego na wyjściu Q, a podanie stanu wysokiego na wejście R (niskiego na \bar{R}) powoduje wystawienie stanu niskiego na wyjściu Q. Stan na wyjściu Q nie zmienia się po zmianie wejść S i R na stan niski (zostaje zapamiętany).

Zadanie 6.1.1

Na schemacie przedstawiono dwubramkową budowę przerzutnika RS w wariacie z wejściami nie zanegowanymi (zastosowanie bramek NAND w miejsce NOR spowoduje zanegowanie wejść). Zbuduj taki układ i sprawdź jego działanie.



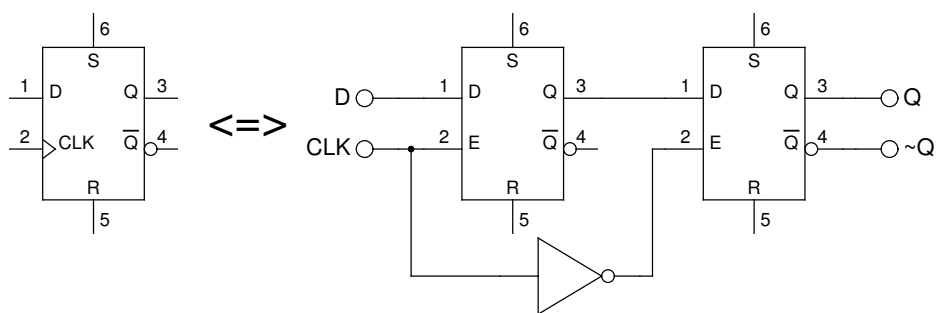
6.2 zatrząsk a przerzutnik

Zatrząsk jest elementem reagującym na poziom sygnału na wejściu "enable" (E). W przypadku nie zanegowanego wejścia E, jeżeli jest ono w stanie wysokim sygnał na wyjściach (Q i NOT Q) jest funkcją sygnałów wejściowych, natomiast stan niski wejścia E blokuje zmianę sygnału wyjściowego (zostaje on zapamiętany).

Przerzutnik jest elementem reagującym na zbocze sygnału na wejściu "clock" (CLK). W zależności od konstrukcji może reagować na zbocze narastające, opadające albo na oba (wtedy na jednym realizuje odczyt wejść a na drugim zmianę stanu wyjść).

6.3 zatrzask i przerzutnik D

Posiada jedno wejście sygnałowe "data" (D) oraz wejście "enable" (E) w przypadku zatrzasku lub wejście "clock" (CLK) w przypadku przerzutnika. Może także posiadać asynchroniczne (niezależne od stanu wejścia E / CLK) wejścia reset i set (zanegowane lub proste). Obniżenie sygnału E lub zbocze sygnału CLK powodują zapamiętanie (i wystawienie na wyjściu Q) stanu wejścia D.



W przypadku zaprezentowanej realizacji przerzutnika z dwóch zatrzasków sygnał wejściowy zostanie odczytany na zboczu opadającym zegara a wystawiony na wyjście na zboczu narastającym.

6.4 rejestry

Mianem rejestru n-bitowego określa się zespół n przerzutników (rzadziej zatrzasków), często z uwspólnionym sterowaniem (sygnały clock, set, reset, etc) służący do zapamiętania n-bitowej wartości (liczby). W zależności od sposobu zapisu i odczytu można wyróżnić:

6.4.1 rejestry równoległe

Posiadają taką samą liczbę wejść jak i wyjść, sygnał na i-tym wyjściu jest bezpośrednio powiązany z sygnałem z i-tego wejścia (jest sygnałem zapamiętanym z tego wejścia).

6.4.2 rejestry szeregowe serial-input

Z kolejnymi sygnałami zegarowymi odczytywany jest stan wejścia szeregowego, a stan poprzedni przenoszony jest do kolejnego przerzutnika w ramach rejestru. W ten sposób po n cyklach zegara n-bitowy rejestr ma zapisaną nową zawartość. Często posiada zespolony z nim rejestr równoległy zapobiegający zmianie stanu wyjść w trakcie ładowania danych z wejścia szeregowego przepisanie danych z rejestru przesuwającego do rejestru odpowiedzialnego za sterowanie wyjściami sterowane jest osobnym sygnałem zegarowym.

6.4.3 rejestry szeregowe paraller-input serial-output

Z kolejnymi sygnałami zegarowymi na wyjście szeregowe wystawiany jest stan kolejnego z rejestrów wejściowych. Wariant asynchroniczny posiada osobny sygnał powodujący odczyt wejść do rejestru (sygnał działa jak "enable" w zatrzaskach). Wariant synchroniczny posiada sygnał decydujący o tym czy na zboczu zegara dokonywany jest odczyt wejść czy też przesuwanie zawartości rejestru umożliwiające odczyt z wyjścia szeregowego.

6.4.4 liczniki

Z kolejnymi sygnałami zegarowymi zwiększana jest o jeden wartość rejestru. Prostszy w budowie licznik asynchroniczny ma większe (i w dodatku rosnące wraz z bitowością licznika) ograniczenia dotyczące szybkości zliczania od licznika synchronicznego, ze względu na opóźnienie z jakim dochodzi zliczany sygnał (CLK) do kolejnych stopni licznika.

7 Transmisja - sterowanie linią

7.1 bufory

Bufor jest to układ przekazujący sygnał logiczny z wejścia na wyjście. Bufor może służyć do:

- regeneracji sygnału,
- uniemożliwieniu wprowadzenia sygnału z jego strony wyjściowej na wejściową,
- decydowania o jego przepuszczeniu lub nie (trój-stanowy),
- decydowania o kierunku przepuszczenia sygnału (dwa trój-stanowe albo trój-stanowy dwukierunkowy),
- konwersji na linię open-collector / open-drain,
- negacji sygnału (niektóre bufory realizują funkcję NOT).

7.2 enkodery

Enkoder "n to m" jest to układ o n wejściach, który na swoim m bitowym wyjściu wystawia numer (typowo) wejścia o najwyższym numerze, które znajduje się w stanie niskim. Możliwe są też warianty wystawiające numer pierwszego (a nie ostatniego) w kolejności wejścia lub wybierające wejście ze stanem wysokim.

Jako że wejścia numerowane są zazwyczaj od zera do 2m to układ najczęściej posiada dodatkowe wyjście informujące że którekolwiek z wejść jest w stanie aktywnym. Typowo numer wystawiany jest w postaci NKB, ale możliwe są inne kodowania.

Układ pozwala na redukcję ilości wejść potrzebnych do obsługi n-bitowego sygnału w którym tylko jeden bit może być ustawiony lub w którym można pozwolić sobie na obsługę kolejnych linii z kasowaniem ich bitu (np. wektor przerwań z priorytetyzacją).

7.3 dekodery

Dekoder "m to n" jest układem o działaniu przeciwnym do enkodera. Aktywuje on wyjście o numerze odpowiadającym wartości na m-bitowym wejściu adresowym. Typowo posiada także wejście zezwolenia na aktywację wyjść, które może zostać użyte do podłączenia informacji że którekolwiek z wejść enkodera było w stanie aktywnym lub do podłączenia sygnału danych z multipleksowanej linii celem jej demultipleksacji.

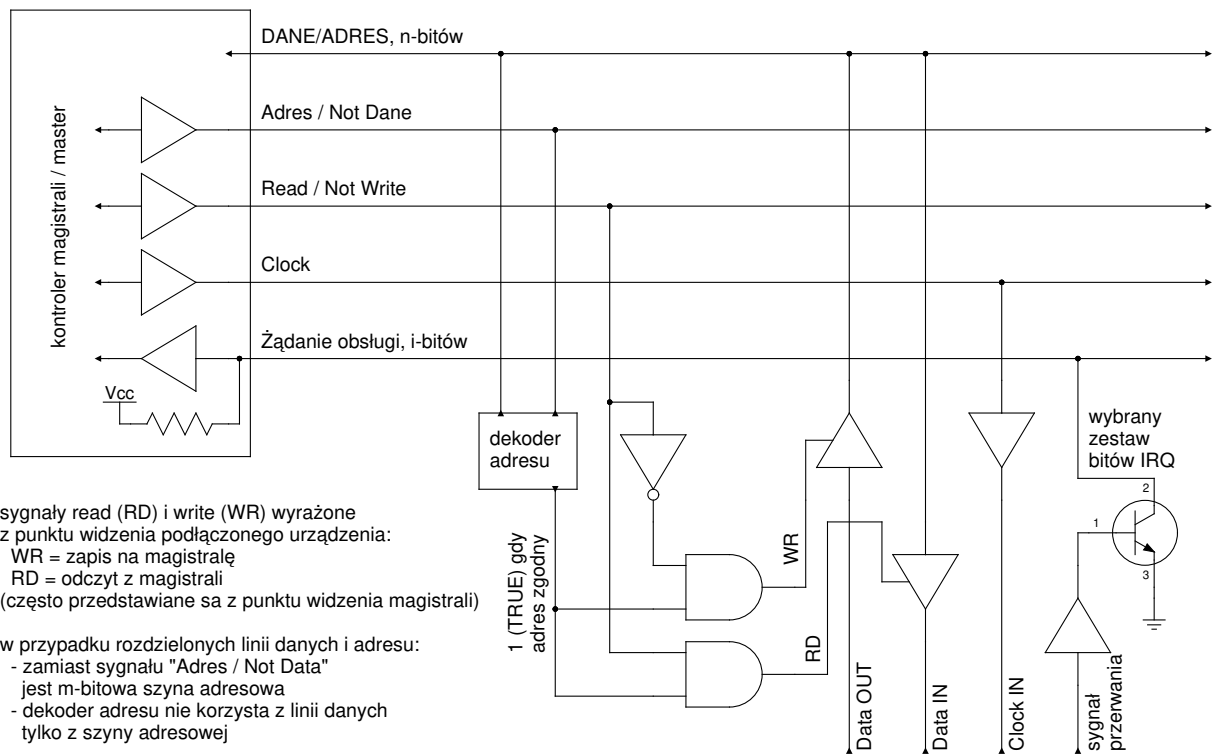
7.4 (de)multipleksery cyfrowy

Multiplekser cyfrowy (jednokierunkowy) na wyjście kopiuje stan wskazanego (poprzez adres podany na wejście adresowe) wejścia. W przypadku braku sygnału "enable" w zależności od rozwiązania wyjście pozostanie w stanie niskim lub wysokiej impedancji.

Demultiplekser cyfrowy (jednokierunkowy) to zazwyczaj układ dekodera w którym na wejście enabled podany jest sygnał z multipleksowanej linii. Nie wybrane wyjścia pozostają w stanie niskim lub wysokim (zależnie od użycia nieodwracającego lub odwracającego dekodera). Cyfrowe demultipleksery z 3 stanowym wyjściem są rzadkością. Demultipleksację można rozwiązać także przy pomocy odpowiednio sterowanych (np. z dekodera adresu) buforów trój-stanowych lub dwu-wejściowych multiplekserów.

7.5 (de)multipleksery analogowy

Multiplekser analogowy (dwukierunkowy) działa na zasadzie przełącznika łączącego wskazane wejście z wyjściem, dzięki elektrycznemu "zwarciu" (na ogół rezystancja takiego zwarcia to kilkadziesiąt omów) wejścia z wyjściem transmisja może odbywać się w obu kierunkach. Pozwala to także na wykorzystanie tego samego układu w roli multipleksera i demultipleksera.



8 Typy transmisji

Wyróżnić można typy transmisji:

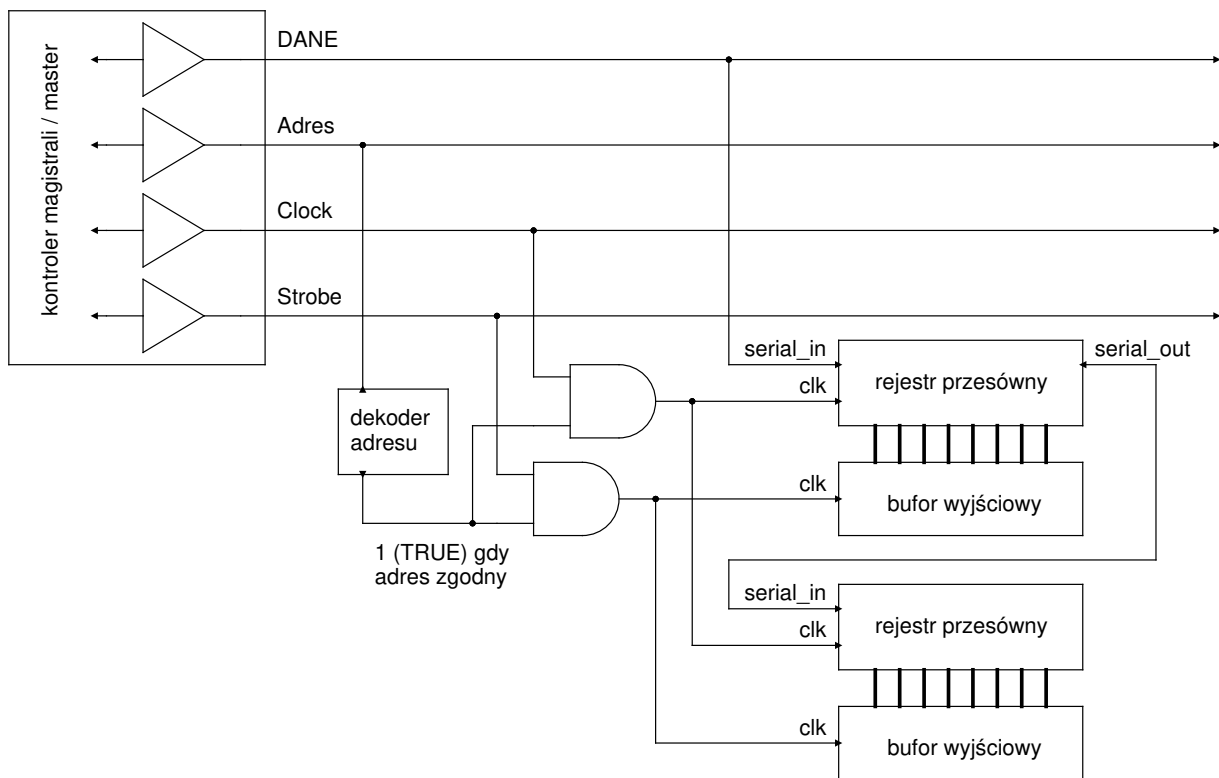
- **simplex** – umożliwia tylko transmisję jednokierunkową
- **half-duplex** – umożliwia transmisję dwukierunkową, ale tylko w jedną stronę równocześnie
- **full-duplex** – umożliwia pełną transmisję dwukierunkową (równoczesne nadawanie i odbiór)

9 Magistrala równoległa

Magistrala równoległa jest zespołem linii, wraz z układami nimi sterującymi, umożliwiającym równoległe przesyłanie danych (w jednym czasie / taktie zegara na magistrali wystawiane / przesyłane jest całe n-bitowe słowo). Można wyróżnić szyny sterującą (kierunek przyływu, żądania obsługi, etc), adresową (adres układu który ma prawo nadawać) i danych (przesyłane dane). Często szyna adresowa współdzieli linie transmisyjne z szyną danych. Do realizacji magistrali (celem umożliwiania podłączenia wielu układów) stosuje się zazwyczaj bufor trój-stanowy, a do zapewnienia współdzielonej szyny żądania obsługi (interrupt request) często układy typu open-collector.

Typowy układ realizacji magistrali half-duplex ze współdzielonymi liniami danych i adresu przedstawiony został na schemacie zamieszczonym obok. Zadaniem dekodera adresu jest ustalenie czy wystawiony na magistrali adres (w trakcie wysokiego stanu linii "Adres / Not Dane") jest adresem danego urządzenia i zapamiętanie tej informacji do czasu wystawienia nowego adresu. Informacja ta jest wykorzystywana do sterowania dwukierunkowym buforem trój-stanowym (jako sygnał enable). O kierunku działania bufora decyduje sygnał "Read / Not Write". Przy magistralach o ustalonym protokole transmisyjnym sterowanie kierunkiem może być zależne od wykonywanej komendy (po ustawieniu adresu urządzenie odczytuje z magistrali polecenie i w zależności od niego steruje kierunkiem bufora - odczytuje lub zapisuje dane na magistralę). Zastosowanie kilku linii typu OC do odbierania żądań obsługi pozwala (na podstawie tego które z tych linii znalazły się w stanie niskim na identyfikację urządzenia lub grupy urządzeń, z której niektóre zgłaszają żądanie obsługi).

W przypadku prostych urządzeń wejścia / wyjścia zamiast buforu dwukierunkowego może być umieszczony np. jednokierunkowy bufor (lub n-bitowy rejestr) z wyjściami trój-stanowymi, który wystawia dane na magistralę w oparciu o sygnał zapisu na magistralę (WR) oraz zegar (clock) albo n-bitowy rejestr do



którego zapisywane są dane z magistrali w oparciu o sygnał RD i Clock.

10 Magistrala szeregową

W magistrali szeregową dane przesyłane są bit po bicie w pojedynczej linii. Podobnie jak w magistrali równoległej oprócz linii danych mogą występować także linie sterujące. Prostą realizację magistrali szeregową zapewniają rejestry przesuwne.

Przykładowy układ realizacji magistrali simplex (jednokierunkowej) z rozdzielonymi szynami danych i adresową został na schemacie zamieszczonym obok. W prezentowanym przykładzie oprócz adresu master wystawia trzy sygnały - dane, zegar i strobe. Z każdym taktom zegara na linii danych wystawiany jest kolejny bit który jest wczytywany do zespołu rejestrów. Sygnał strobe służy do przepisania wartości z rejestrów przesuwanych do rejestrów wyjściowych, takie rozwiązanie zapobiega zmianom wyjść w trakcie przesyłania nowych danych poprzez szynę szeregową, jest ono jednak opcjonalne.

W zależności od konstrukcji dekodera adresu szyna adresowa może być równoległa (w najprostszym przypadku - przez całą transmisję do danego urządzenia jego adres musi być wystawiony na szynie a dekodery jest układem bramek NOT i wielowjściowej bramki AND) lub szeregową (w takim wypadku powinna posiadać własny zegar lub sygnał informujący o nadawaniu adresu z taktami zegara głównego, a dekodery powinien być wyposażony w rejestr przesuwany do odebrania i przechowywania aktualnego adresu z magistrali). Natomiast jeżeli magistrala byłaby oparta tylko na połączonych szeregowo rejestrach (wyjście serial-out do wejścia serial-in) to szyna adresowa nie jest potrzebna, ale konieczne może być każdorazowe wpisanie wszystkich wartości na szynę (czas zapisu rośnie z ilością podłączonych rejestrów).

11 Standardowe interfejsy

Istnieje wiele zestandaryzowanych interfejsów zarówno szeregowych jak i równoległych, wśród najważniejszych należy wymienić:

11.1 SPI (Serial Peripheral Interface)

jest to szeregowa magistrala full-duplex działająca w układzie master-slave złożona z linii zegarowej (SCLK), nadawania przez mastera (MOSI), odbioru przez mastera (MISO) oraz linii służących do aktywacji urządzenia slave (SS / CS).

11.2 I2C (TWI)

jest to szeregowa magistrala half-duplex złożona z linii sygnałowej (SDA) i zegara (SCL) posiadająca zdefiniowany format ramki wraz z adresowaniem. Z wyjątkiem bitu startu i stopu stan linii danych może zmieniać się tylko przy niskim stanie linii zegarowej. Nadajniki są typu open-drain przez co realizowany jest iloczyn na drucie, co pozwala na wykrywanie kolizji (jeżeli dany nadajnik nie nadaje zera a linia jest w stanie zera to nadaje także ktoś inny). Pozwala to także na uzyskanie układów multimaster, pomimo iż typowo na magistrali takiej występuje tylko jeden układ master (nadający sygnał zegara i inicjujący transmisję).

11.3 1 wire (one-wire)

jest to szeregowa magistrala half-duplex złożona z jedynie z linii sygnałowej (która może także służyć do zasilania urządzeń) posiadająca zdefiniowany format ramki wraz z adresowaniem. Standardowe nadawanie jest realizowane jako open-drain (wyjątkiem jest nadawanie tzw power-byte).

11.4 USART

jest to uniwersalny synchroniczny i asynchroniczny nadajnik i odbiornik, umożliwia realizację szeregowej transmisji synchronicznej (zgodnie z zegarem) lub asynchronicznej (wykrywanie początku ramki na podstawie linii danych). Interfejs korzysta z rozdzielonych linii nadajnika i odbiornika (wyjście danych TxD oraz wejście danych RxD, co umożliwia realizację transmisji full-duplex) oraz może korzystać z dodatkowych sygnałów sterujących (wyjście RTS informujące o gotowości do odbioru oraz wejście CTS informacji o gotowości odbioru / zezwolenia na nadawanie). Niekiedy dostępne jest także wyjście załączenia nadajnika używane do pracy w trybie half-duplex (linie TxD i RxD połączone buforem trój-stanowym nadajnika).

Interfejs ten najczęściej wykorzystywany jest w trybie asynchronicznym jako UART. W połączeniach UART zarówno nadajnik jak i odbiornik muszą mieć ustawione takie same parametry transmisji (szybkość, znaczenie 9 bitu (typowo bit parzystości, ale może także oznaczać np. pole adresowe), itp). Głównymi standardami elektrycznymi dla UART są: poziomy napięcie układów elektronicznych używających tych portów (3.3V, 5V), RS-232 (w pełnym wariacie używa sygnałów kontroli przepływu, poziom logiczny 1 wynosi od -15V do -3V, a poziom logiczny 0 od +3V do +15V), RS-422 (transmisja różnicowa full-duplex pomiędzy dwoma urządzeniami) i RS-485 (transmisja różnicowa half-duplex w oparciu o szynę łączącą wiele urządzeń, kompatybilny elektrycznie z RS-422), możliwa jest też transmisja światłowodowa i bezprzewodowa.

12 Układy programowalne

12.1 układy o programowalnej strukturze (PLD)

Są to układy w których programowany jest układ bramek, przerzutników, itp. "umieszczanych" w kości oraz ich połączeń.

Program dla takich układów tworzony jest w Hardware Description Language (najczęściej VHDL lub Verilog) i zamiast wykonywanego kodu opisuje strukturę układu logicznego (połączenia bramek, tablice prawdy, etc), która następnie jest programowana w fizycznej kości.

Najprostszym przykładem układu o programowalnej strukturze logicznej jest układ pamięci 2^n bitowej z n-bitową szyną adresową adresującą pojedyncze bity - pozwala on na realizację dowolnej funkcji logicznej o n wejściach i pojedynczym wyjściu.

Do kategorii tej zaliczają się układy typu:

- SPLD
 - PLE - programowalna matryca bramek OR
 - PAL i GAL - programowalna matryca AND z dodatkowymi bramkami OR (często także obudowana rejestrami i multiplexerami na wyjściach)
 - PLA - programowalne matryce AND i OR
- CPLD
- FPGA - programowalny element pamięciowy (możliwość zdefiniowania dowolnej - na ogół 4 wejściowej - funkcji w każdym elemencie logicznym, programowalne połączenia między elementami logicznymi i pinami, itd)

12.2 systemy procesorowe

Są to systemy realizujące ciąg instrukcji pobieranych z jakiejś pamięci.

System taki składa się z procesora odpowiedzialnego za interpretację i wykonywanie kolejnych instrukcji oraz pamięci z której pobierane są instrukcje i dane (może to być jedna pamięć, mogą to być rozdzielone pamięci). Do kategorii tej zaliczają się zarówno typowe systemy komputerowe, systemy obliczeniowe jak i różnego rodzaju programowalne mikrokontrolery.

Procesor pracuje w cyklach rozkazowych, w ramach których przetwarza pojedynczą instrukcję. Cykl taki może trwać od 1 do kilku lub więcej cykli zegarowych i typowo składa się z następujących kroków:

1. pobranie instrukcji z pamięci - realizowane jest poprzez wystawienie na szynę adresową zawartości *licznika programu* (zawierające adres instrukcji do wykonania) oraz wygenerowanie cyklu odczytu z pamięci, po wykonaniu odczytu danych następuje ich zapamiętanie w *rejestrze instrukcji* oraz zwiększenie wartości *licznika programu* o jeden; (zawartość rejestru *licznika programu* po resecie procesora określa skąd pobierana będzie pierwsza instrukcja, pod takim adresem zazwyczaj umieszczana jest jakaś pamięć typu ROM lub flash)
2. dekodowanie instrukcji - układ dekodera (np. oparty o PLA) dokonuje zdekodowania instrukcji znajdującej się w *rejestrze instrukcji* i konfiguracji procesora w zależności od jej kodu i (opcjonalnie) jej argumentów; może to być np.:
 - odpowiednie ustawienie multiplexerów pomiędzy rejestrami a jednostką ALU oraz wystawienie odpowiedniego kod operacji dla ALU (celem wykonania operacji arytmetycznej na wartościach rejestrów)
 - wystawienie zawartości wskazanego rejestru na szynę adresową, podłączenie wskazanego rejestru do szyny danych oraz skonfigurowanie operacji odczytu/zapisu (celem wykonania odczytu lub zapisu wartości rejestru z/do pamięci)
3. wykonanie instrukcji - realizacja wcześniej zdekodowanej instrukcji zgodnie z ustawioną konfiguracją procesora

Instrukcje skoku polegają na załadowaniu nowej wartości do *licznika programu*, w przypadku skoków warunkowych jest to uzależnione od stanu *rejestru flag*, które ustawiane są w oparciu o wynik ostatniej operacji wykonywanej przez ALU.

Przedstawiony model działania jest przykładowym i w rzeczywistym procesorze może to wyglądać odmiennie - np. długość instrukcji może być większa niż długość słowa używanego przez procesor / szerokość szyny danych co rozbudowuje fazę pobierania instrukcji z pamięci, mogą występować instrukcje bardziej złożone (np. operacje wykonywane z argumentem pobieranym z pamięci a nie rejestru), może także występować więcej faz (np. poprzez wydzielenie faz dostępu do pamięci, czy zapisywania wyników działania instrukcji). Procesor może także działać potokowo, czyli nakładać na siebie kolejne fazy wykonywania różnych instrukcji (np. w czasie wykonywania jednej instrukcji realizować pobieranie kolejnej).

12.2.1 Mikrokontrolery

Mikrokontroler jest układem typu "System on Chip" zawierającym w jednym układzie procesor, pamięć RAM, układy wejścia-wyjścia (np. GPIO, porty szeregowo typu USART, SPI, I2C, przetworniki ADC), pamięć typu Flash (dla programu).

13 Literatura dodatkowa

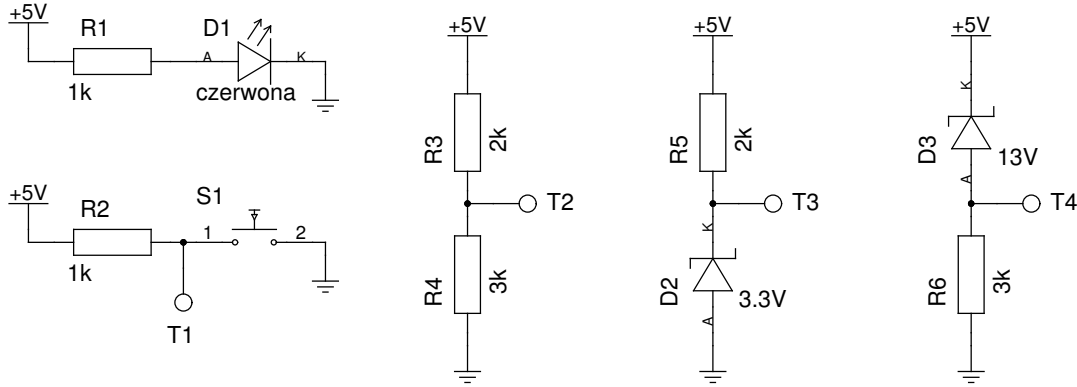
- *Vademecum informatyki praktycznej* (<http://vip.opcode.eu.org/>) - zbiór materiałów na temat elektroniki i programowania.
- *Kurs elektroniki w serwisie forbot.pl* (<https://forbot.pl/blog/kurs-elektroniki-dla-poczatkujacych-id5151>).
- *Kurs elektroniki w serwisie robotykadlapoczatkujacych.pl* (<http://robotykadlapoczatkujacych.pl/kurs-elektroniki-dla-poczatkujacych/>).

14 Zadania domowe

Zadanie domowe 1 (1pkt) Oszacuj wartość prądu płynącego przez $R1$. Odpowiedź krótko uzasadnij.

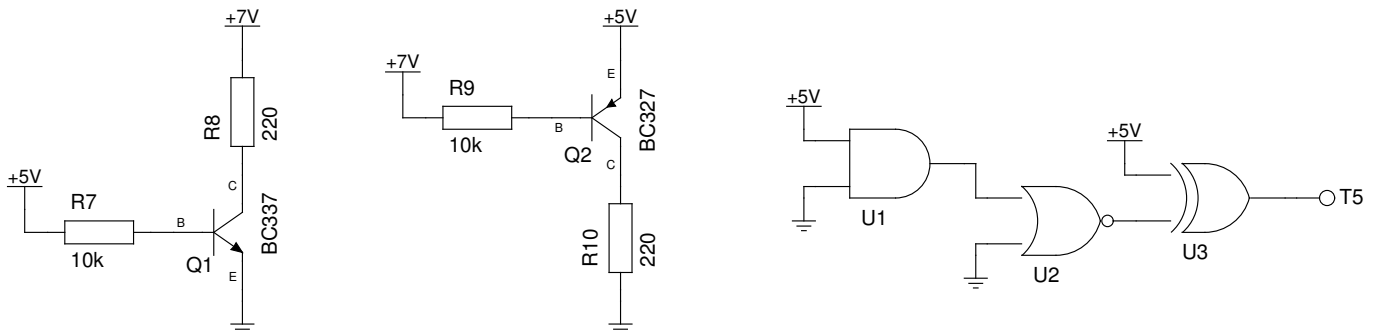
Zadanie domowe 2 (1pkt) Podaj wartość napięcia (względem GND) w punkcie $T1$ w sytuacji gdy $S1$ jest wciśnięty (zwarły) oraz w sytuacji gdy jest rozwarły (nie przewodzi). Odpowiedź krótko uzasadnij.

Zadanie domowe 3 (3pkt) Podaj wartość napięcia (względem GND) w punktach $T2$, $T3$, $T4$. Odpowiedź krótko uzasadnij.



Zadanie domowe 4 (2pkt) Oszacuj wartość prądu płynącego przez $R8$ oraz wartość prądu płynącego przez $R10$. Odpowiedź krótko uzasadnij.

Zadanie domowe 5 (1pkt) Podaj wartość napięcia (względem GND) w punkcie $T5$. Przyjmujemy iż użyte bramki działają na poziomie napięć 5V (prawda) / 0V (fałsz). Odpowiedź krótko uzasadnij.



Zadanie domowe 6 (2pkt) Zapoznaj się z dokumentacją układu 74HC574 (np. https://assets.nexperia.com/documents/data-sheet/74HC_HCT574.pdf) i opisz sposób jego użycia (wraz z sposobem sterowania) jako modułu podłączonego do 8 bitowej magistrali równoległej w roli układu wejściowego oraz w roli układu wyjściowego.

Zadanie domowe 7 (2pkt) Zapoznaj się z dokumentacją układu 74HC595 (np. <http://www.ti.com/lit/ds/symlink/sn74hc595.pdf>) i opisz sposób jego użycia (wraz z sposobem sterowania) w roli układu wejściowego podłączonego do magistrali szeregowej.